

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-100358

(43)Date of publication of application : 12.04.1990

(51)Int.Cl.

H01L 27/108

H01L 27/04

(21)Application number : 63-252979

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.10.1988

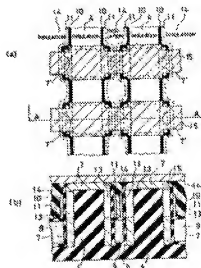
(72)Inventor : WATANABE TOSHIHARU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a semiconductor memory having a degree of integration which matches that of the next generation by forming walls of insulator layers, thereby forming element regions on the side faces and upper faces of these walls.

CONSTITUTION: Word lines 11 are formed as gate electrodes around walls of 4 of insulator layers through gate insulating films 10. These word lines are insulated from the word lines 11 as electrode around the walls of adjacent insulator layers by insulating layers 14. Bit lines 15 are formed on the upper parts of these layers and N-type diffusion layers 7' are formed on the upper face of the insulating layer walls 4 in regions where these bit lines 15 and the word lines 11 as the gate electrodes formed on both sides of the insulator layer walls 4 intersect each other. Then, P-type diffusion layers 13 and N-type diffusion layers 7 are formed. A degree of integration which matches that of the next generation is thus obtained.



⑫ 公開特許公報(A) 平2-100358

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月12日

H 01 L 27/108
27/04

C 7514-5F
8624-5F

H 01 L 27/10 3 2 5 F
審査請求 有 請求項の数 2 (全6頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 昭63-252979

⑰ 出 願 昭63(1988)10月7日

⑱ 発 明 者 渡 辺 寿 治 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 基板上に絶縁体の対向した壁面を有するよう
に形成された少なくとも1本以上の溝と、この
溝を挟んで対向した壁面に形成された上部と下部
が第1導電型、中央部が第2導電型の半導体層と、
下部の第1導電型の半導体層に接して形成された
キャパシタ絶縁膜と、このキャパシタ絶縁膜に接
して、かつ溝の底部に埋込されて形成されたキャ
パシタ電極と、中央部の第2導電型の半導体層に
接して形成されたゲート絶縁膜と、このゲート絶
縁膜に接して形成されたゲート電極と、上部の第
1導電型の半導体層に接して形成された導電層と
を具備することを特徴とする半導体装置。

(2) 基板上に絶縁体の対向した壁面を有するよ
うに少なくとも1本以上の溝を形成する工程と、
この形成された溝を挟んで対向した壁面上部と
下部が第1導電型、中央部が第2導電型の半導体

層を形成する工程と、下部の第1導電型の半導体
層に接してキャパシタ絶縁膜を形成する工程と、
この形成されたキャパシタ絶縁膜に接して、かつ
溝の底部に埋込するようにキャパシタ電極を形成す
る工程と、中央部の第2導電型の半導体層に接し
てゲート絶縁膜を形成する工程と、この形成され
たゲート絶縁膜に接してゲート電極を形成する工
程と、上部の第1導電型の半導体層に接して導電
層を形成する工程とを具備することを特徴とする
半導体装置の製造方法。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

この発明は、半導体記憶装置およびその製造
方法に関するもので、特に D R A M (Dynamic
Random Access Memory)セルのセル構造を改良
した半導体記憶装置およびその製造方法に関する
ものである。

(従来技術)

第4図、および第6図を参照して、従来技術

によるDRAMセルについて説明する。

第5図(a)、および第5図(b)は、従来技術によるDRAMセルの平面図、および断面図で、特にクロスポイントセルと呼ばれるセルである。

第5図(a)の平面図において、DRAMセルのワード線101と、ビット線102との交点に1ビット分のセルができる。このDRAMセルの記憶素子には、いわゆるトレンチ構造を有するキャパシタが用いられており、半導体基板100にトレンチ溝103が開口形成されている。

第5図(b)は、第5図(a)の断面B-Bに沿った断面図であり、この断面図に示すように、半導体基板100内にP型拡散層104が形成され、このP型拡散層104の下層には、不純物濃度の高いP⁺型拡散層105が形成され、この2つの拡散層を貫通してトレンチ溝103が開口形成され、このトレンチ溝103内には、キャパシタ電極107、およびワード線101が形成されている。さらに、半導体基板100とは、埋込コンタクト部108を除いて、ゲート酸化膜106、

およびキャパシタ絶縁膜109により絶縁されている。

このDRAMセルの動作としては、ビット線102に与えられた電位が、ワード線101の電位を上げることににより、ゲート酸化膜106近傍のP型拡散層104が反転することににより、埋込コンタクト108に伝達される。一方、この埋込コンタクト108は、キャパシタ電極107と接続されているので、このキャパシタ電極107と、キャパシタ絶縁膜109を挟んで対向しているP⁺型拡散層105との間において形成されるMIS(Metal Insulator Semiconductor)型キャパシタに電荷を蓄えて記憶する。

このような構成の従来技術による半導体記憶装置によると、キャパシタのみならず、転送ゲート領域もトレンチ溝103の内部に埋込むので、半導体記憶装置の平面方向においてかなりの集積度の向上が図れる。しかしながら、この集積度の向上、即ち装置の微細化には限界がある。この微細化の限界について、第6図を参照して説明する。

第6図に示すように、写真蝕刻工程から決まる最小寸法をFとし、さらに、異なる写真蝕刻工程間の合わせ余裕を0.2Fとして、製造しうる最小の半導体記憶装置を製造するとするならば、トレンチ溝103の長さは前記した最小寸法のFとなり、ワード線、ビット線の線幅はそれぞれ1.4F、および各ワード線、各ビット線の間隔は1.0Fとなるので、セル領域の1辺の長さは、

$$0.5F + 0.2F + 1.0F + 0.2F + 0.5F \\ = 2.4F$$

となる。従って、1ビット分のセルの最小面積は、

$$2.4F \times 2.4F \\ = 5.76F^2$$

となる。

これ以上、1ビット分のセルの面積を小さくしようとするれば、写真蝕刻技術を大幅に改善、進歩させ、解像度、および合わせ精度を向上させる以外に方法はない。

(発明が解決しようとする課題)

この発明は上記のような点に鑑みて為された

もので、写真蝕刻技術の大幅な改善にたよることなく、次世代並みの集積度を有する半導体記憶装置およびその製造方法を提供することを目的とする。

【発明の構成】

(課題を解決するための手段およびその作用)

この発明による半導体記憶装置においては、絶縁体層の壁を形成し、この絶縁体層の壁の上部と側面に半導体層を設け、この半導体層を平面方向に分断して第1導電型、および第2導電型の半導体層を形成する。このような構成のセル構造によるとセル用の素子領域が絶縁体層の壁の上部と側面に形成され、この壁の幅、および壁と壁の間の溝の幅を現在の写真蝕刻技術の最小寸法Fとすれば、1ビット分のセルの最小面積5.76F²の面積に、2ビット分のセルを製造することができ、写真蝕刻技術の大幅な改善にたよることなく、その時代における最高の写真蝕刻技術を用いて製造した従来のセル構造を有する半導体記憶装置の2倍、即ち、次世代並みの集積度を有する半導体

記憶装置およびその製造方法が可能となる。

(実施例)

以下、第1図乃至第4図を参照してこの発明の実施例に係わる半導体記憶装置およびその製造方法について説明する。

第1図(a)乃至第1図(f)は、この発明の実施例に係わるDRAMセルの製造方法について、工程順に示した断面図である。

第1図(a)において、絶縁体層1上に、例えば気相成長法を用いて第1の単結晶シリコン層2を成長させる。次に、全面にホトレジスト3を堆積して所定形状にパターニングし、この所定形状のホトレジスト3をマスクにして絶縁体層1、および単結晶シリコン層2をエッチングし、絶縁体層の壁4を形成する。この時、この壁4と4との間隔は、壁4との厚さと略等しい寸法となる。

第1図(b)において、ホトレジスト3を取除いた後、全面に、例えば気相成長法を用いて第2のシリコン層2'を成長させる。この時、第1の単結晶シリコン2を再結晶にして単結晶シリコン

散層7が形成される。

第1図(d)において、シリコン酸化膜5、および保護膜6を除去し、P型単結晶シリコン層2'、および第1のN型拡散層7を露出させ、その後、全面に第1の熱酸化膜8を形成する。この第1の熱酸化膜8は、後工程でキャパシタ絶縁膜となる。次に、各々の絶縁層の壁4との間の溝内に、第1のポリシリコン層9を、例えばCVD法を用いて堆積し、キャパシタ形成領域までエッチングして、キャパシタ電極9を形成する。

次に、第1図(e)において、キャパシタ電極9より上部の第1の熱酸化膜8を除去する。この工程で残留した第1の熱酸化膜8は、キャパシタ絶縁膜8となる。次に、全面に熱酸化により、第2の熱酸化膜10を形成する。この時、ポリシリコンの酸化速度が速いことから、これからなるキャパシタ電極9の上部には他よりも厚い熱酸化膜10が形成される。この第2の熱酸化膜10は、後工程でゲート絶縁膜となる。次に、各々の絶縁体層の壁4の間の溝内に、第2のポリシリコン層

2'が成長する。次に、例えばP型の不純物であるB(ホウ素)をシリコン層2'にイオン注入し、熱拡散させ、第2の単結晶シリコン層2'をP型にドーピングする。次に、RIE(Reactive Ion Etching)法を用いて、このP型単結晶シリコン層2'を絶縁体層の壁4の上と側面にのみ残留するようにエッチングする。

第1図(c)において、各々の絶縁体層の壁4と4との間の溝内に形成されたシリコン層2'間に、シリコン酸化膜5を、例えばCVD(Chemical Vapor Deposition)法にて堆積し、例えば溝の深さの半分までのキャパシタ形成領域までエッチングする。続いて、このシリコン酸化膜5に、例えばN型の不純物であるAs(ヒ素)をイオン注入し、全面を、例えば酸化膜による保護膜6で覆い、その後、不純物イオン活性化のための熱処理を行なうと、前記シリコン酸化膜5から、単結晶シリコン層2'にN型不純物が熱拡散し、シリコン酸化膜5に接する付近のみ単結晶シリコン層2'がN型にドーピングされ、第1のN型拡

散層7を、例えばCVD法にて堆積し、熱酸化膜10によって区切られたトランジスタ形成領域までエッチングする。この第2のポリシリコン層11は、後工程でゲート電極となる。次に、例えばN型不純物As(ヒ素)を絶縁層の壁4上部のP型シリコン半導体層2'に、第2の熱酸化膜10を介してイオン注入し、熱拡散させ、P型シリコン半導体層2'とは反対導電型の第2のN型拡散層7'を形成する。この時、第2のポリシリコン層11によって保護されてN型にドーピングされなかったP型シリコン半導体層2'はP型拡散層13として残る。このようにして絶縁体層1中に形成された溝の側面、即ち、絶縁層の壁4の側面に、N型拡散層7、7'、およびP型拡散層13による素子領域が形成される。次に、RIE法を用いて、第2のポリシリコン層11を所定形状にエッチングし、ゲート電極11を形成する。

最後に、第1図(f)において、CVD法を用いて、シリコン酸化膜14を堆積する。次に、第2のN型拡散層7'が露出するように、シリコン

酸化膜14、および第2の熱酸化膜10を除去する。その後、全面にA1（アルミニウム）を、例えばスパッタ法にて堆積し、所定形状にパターンニングしてビット線15を形成してこの発明の実施例に係わる半導体記憶装置が製造される。

このようなセル構造の半導体記憶装置によると、絶縁体層1中に形成された溝の側面、即ち、絶縁体層の壁4の側面に、単結晶シリコン層2'を設け、この単結晶シリコン層2'を横方向に分断してN型拡散層7、7'、およびP型拡散層13を形成することにより、セルの素子領域を溝の側面、即ち、絶縁体層の壁4の側面に形成する。よって従来の1ビット分のセルの最小面積に、2ビット分のセルを形成することができ、写真蝕刻技術の大幅な改善にたよることなく、その時代の最高の技術の常に2倍の現在の最高の技術以上の集積度、即ち、次世代並みの集積度を有する半導体記憶装置の製造が可能となる。

次に、上記実施例によって製造された半導体記憶装置について、第2図(a)、および第2図

(b)を参照して説明する。

第2図(a)は、上記の実施例に係わる半導体記憶装置の製造方法によって製造された半導体記憶装置の平面図である。

第2図(a)において、絶縁体層の壁4の周囲に、ゲート絶縁膜10を介して、ゲート電極としてのワード線11が形成され、隣りの絶縁体層の壁4の周囲のゲート電極としてのワード線11とは、絶縁体層14によって絶縁されている。これらの上部にはビット線15が形成され、このビット線15と、絶縁体層の壁4の両側面に形成されたゲート電極としてのワード線11が交差する領域において、絶縁体層の壁4の上面にN型拡散層7'が形成され、平面図には図示しないがP型拡散層13、およびN型拡散層7が形成されている。

また、第2図(b)は、第2図(b)に示す断面A-Aに沿った断面図で、第1図(f)と同じ断面図である。

次にこの発明の実施例の第1の変形例として、第3図を参照して説明する。

上記実施例では、絶縁体層1をエッチングして、絶縁体層の壁4を形成したが、第3図に示すように、シリコン半導体基板16上に絶縁体層を形成して、絶縁体層の壁4を形成しても良い。

このような構成によれば、このシリコン半導体基板16を種結晶にして第2のシリコン層2'を単結晶として成長させることができる。

次に、この発明の実施例の第2の変形例を第4図(a)、および(b)を参照して説明する。

この第2の変形例では、上記第1の変形例と同様のシリコン半導体基板16上に絶縁体層を形成し、これをパターンニングして、絶縁体層の壁4を形成するものであるが、第4図(a)に示すように、絶縁体層をエッチングする際に、シリコン半導体基板16に接する部分において、絶縁体層の壁4の間の溝内に、前記絶縁体層が残留するようにエッチングし、かつシリコン半導体基板16が露出する部分17が形成されるようにエッチングする。その後、シリコン層2'を形成する。このような構成によれば溝内のシリコン半導体基板が

露出した部分17を種結晶にして第2のシリコン層2'を単結晶として成長させることができる。

次に、第4図(b)において、このシリコン層2'を絶縁体層の壁4の上面、および側面に残るようにエッチングする。

このような構成によれば、シリコン半導体基板16と、シリコン層2'との間に、絶縁体層が4'が介されるので、近接セル間のリークが少なくなる。

尚、上記実施例、および変形例では、素子領域を形成する半導体層を単結晶シリコンで成長させたが、多結晶シリコンでも良いことは勿論である。

【発明の効果】

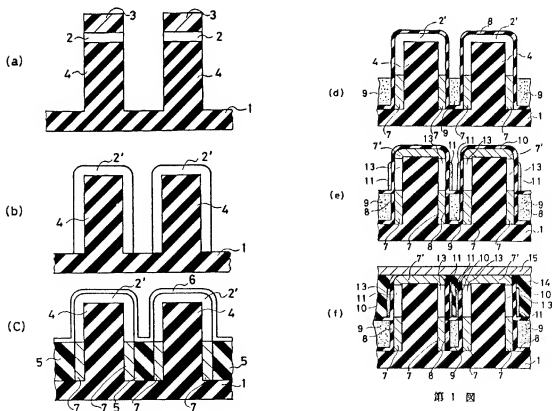
以上説明したようにこの発明によると、絶縁体層の壁を形成し、この壁の側面および上面に素子領域を形成することにより、その時代における写真蝕刻技術の最小寸法をFとした時、1ビット分のセルの最小面積は、 $7.6F^2$ の面積に2ビット分のセルを形成することが可能となり、その時代における最高の写真蝕刻技術を用いて製造した

従来のセル構造を有する半導体記憶装置の常に2倍の集積度を有することができる非常に画期的なセル構造を持つ半導体記憶装置およびその製造方法が提供できる。

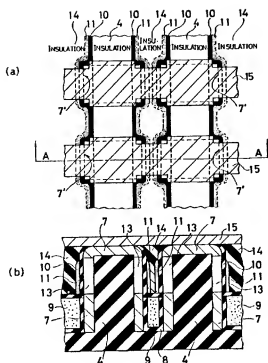
また、このようなセル構造を持つ半導体記憶装置の製造方法にあっては、キャパシタ電極、およびゲート電極としてのワード線を自己整合的に形成することができる。
~~4…図面の簡単な説明~~
 4. 図面(ア)乃至第1図(f)は、この発明の実施例に係わる半導体記憶装置の製造方法を製造工程順に示した断面図、第2図(a)および第2図(b)は、第1図に製造工程を示した半導体記憶装置の平面図および断面図、第3図は、この発明の実施例の第1の変形例を示す断面図、第4図(a)乃至第4図(b)は、この発明の実施例の第2の変形例を示す断面図、第5図(a)乃至(b)は、従来技術による半導体記憶装置の平面図および断面図、第6図は、従来技術による1ビット分のセルの最小面積を説明する平面図である。
 1…絶縁体層、2、2'…単結晶シリコン層、

3…ホトレジスト、4…絶縁体層の壁、4'…半導体層と基板とを絶縁する領域、5…シリコン酸化膜、6…保護膜、7…N型拡散層、8…熱酸化膜、9…キャパシタ電極、10…熱酸化膜、11…ゲート電極、13…P型拡散層、14…絶縁体層、15…ビット線、16…シリコン半導体基板、17…シリコン半導体基板16が露出した部分、100…シリコン半導体基板、101…ビット線、102…ワード線、103…トレンチ溝、104…P型拡散層、105…P+型拡散層、106…ゲート絶縁膜、107…キャパシタ電極、108…埋込コンタクト、109…キャパシタ絶縁膜。

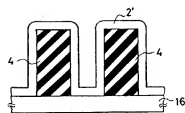
出願人代理人 弁理士 鈴江武彦



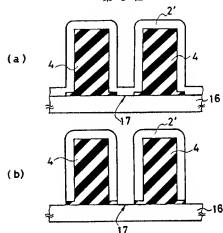
第1図



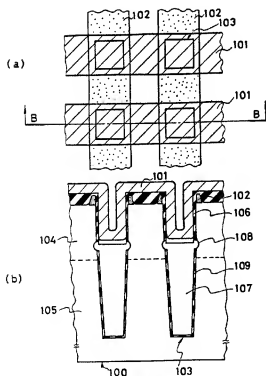
第 2 図



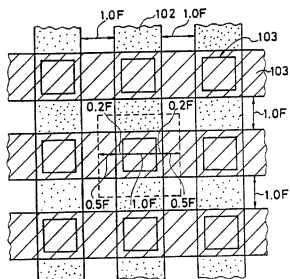
第 3 図



第 4 図



第 5 図



第 6 図